

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-095721

(43)Date of publication of application : 09.04.1999

(51)Int.Cl. G09G 3/28
 G09G 3/20
 G09G 3/20
 G09G 3/20
 H04N 5/66

(21)Application number : 10-156267

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 04.06.1998

(72)Inventor : SUZUKI MASAHIRO
 TOKUNAGA TSUTOMU

(30)Priority

Priority number : 09195725

Priority date : 22.07.1997

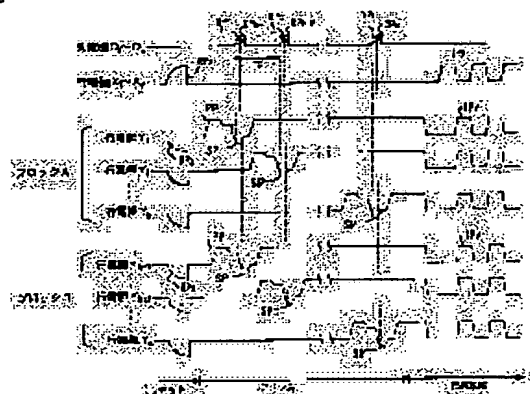
Priority country : JP

(54) PLASMA DISPLAY PANEL DRIVE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a plasma display panel drive method capable of performing a stable, precise and high picture quality display without erroneous discharge even while shortening the address write-in cycle, by applying a scan pulse to one row electrode among second row electrodes just after applying the scan pulse to one row electrode among a first row electrode group.

SOLUTION: The timing of priming pulse PP applied to respective row electrodes Y1 and YK+1, or the timing of the priming pulse PP applied to respective row electrodes Y2 and YK+1 are made mutually nearly equal. Further, the row electrode Y in row electrode pairs X and Y is divided to two groups A and B so that the scan pulse is applied to the row electrode Y in the group B just after the scan pulse SP is applied to the row electrode Y in the group A. That is, the respective application timing of pixel data pulse groups DP1-DPn are made so as not to become the same even as the application timing of the priming pulse PP for any row electrode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-95721

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁶

G 0 9 G 3/28

識別記号

3/20

6 2 2

6 2 3

6 4 1

F I

G 0 9 G 3/28

3/20

W

H

6 2 2 L

6 2 3 U

6 4 1 E

審査請求 未請求 請求項の数11 O L (全 18 頁) 最終頁に続く

(21) 出願番号

特願平10-156267

(22) 出願日

平成10年(1998) 6月4日

(31) 優先権主張番号

特願平9-195725

(32) 優先日

平9(1997) 7月22日

(33) 優先権主張国

日本 (J P)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 鈴木 雅博

山梨県中巨摩郡田富町西花輪2680番地パイ

オニア株式会社甲府プラズマパネルセンタ

一内

(72) 発明者 徳永 勉

山梨県中巨摩郡田富町西花輪2680番地パイ

オニア株式会社甲府プラズマパネルセンタ

一内

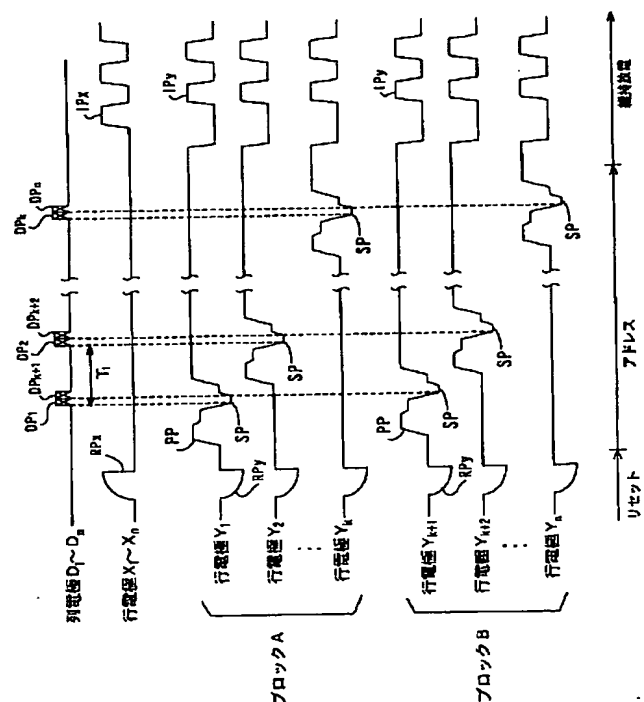
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 アドレス書込サイクルを短縮しつつも、誤放電の無い安定した高精細、高画質表示を実現することができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 複数の行電極対と、これら行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有するプラズマディスプレイパネルを発光駆動するにあたり、前記行電極対の一方を第1及び第2行電極群に分け、第1行電極群の内の1の行電極に対する走査パルスの印加直後に上記第2行電極群の内の1の行電極に対して走査パルスを印加する。



【特許請求の範囲】

【請求項 1】 複数の行電極対と、前記行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有するプラズマディスプレイパネルを発光駆動するにあたり 1 フィールドの表示期間を複数のサブフィールドに分割し各サブフィールドを、前記行電極対の一方に所定極性のプライミングパルスを印加した直後に前記プライミングパルスとは逆極性の走査パルスを印加すると同時に画素データパルスを前記列電極に印加することにより前記画素データパルスに応じた点灯放電セル及び消灯放電セルを設定するアドレス期間と、前記行電極対に維持パルスを印加することにより前記点灯放電セル及び前記消灯放電セル各々での放電状態を維持する維持放電期間とで構成して表示を行うプラズマディスプレイの駆動方法であって、

前記行電極対の一方を第 1 及び第 2 行電極群に分け、前記第 1 行電極群の内の 1 の行電極に対する前記走査パルスの印加直後に前記第 2 行電極群の内の 1 の行電極に対して前記走査パルスを印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記プライミングパルスとしての第 1 プライミングパルス及び前記第 1 プライミングパルスよりも大なるパルス幅を有する第 2 プライミングパルス各々を生成し、前記第 1 プライミングパルス及び前記第 2 プライミングパルス各々を前記フィールド毎又はサブフィールド毎に交互に前記第 1 行電極群及び前記第 2 行電極群に印加することを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】 前記アドレス期間に先だって全ての前記放電セルに壁電荷を形成させるリセット期間を設け、前記アドレス期間において前記リセット期間にて形成された壁電荷を前記走査パルスと画素データパルスに応じて選択的に消去することにより前記点灯放電セル及び前記消灯放電セルの設定を行うことを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 4】 前記列電極の各々は、前記プラズマディスプレイパネルの上半分及び下半分にて 2 分割されていることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 5】 複数の行電極対と、前記行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有するプラズマディスプレイパネルを発光駆動するにあたり 1 フィールドの表示期間を複数のサブフィールドに分割し各サブフィールドを、前記行電極対の一方に所定極性のプライミングパルスを印加した直後に前記プライミングパルスとは逆極性の走査パルスを印加すると同時に画素データパルスを前記列電極に印加することにより前記画素データパルスに応じた点灯放電セル及び消灯放電セルを設定するアドレス期間と、前記行電極対に維持パルスを印加することにより前記点灯放

電セル及び前記消灯放電セル各々での放電状態を維持する維持放電期間とで構成して表示を行うプラズマディスプレイの駆動方法であって、

前記行電極対の一方を第 1 及び第 2 行電極群に分け、前記プライミングパルスとして互いに波形の異なる第 1 プライミングパルス及び第 2 プライミングパルス各々を生成し、前記第 1 プライミングパルス及び前記第 2 プライミングパルス各々を前記フィールド毎又はサブフィールド毎に交互に前記第 1 行電極群及び前記第 2 行電極群に印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 6】 前記第 2 プライミングパルスのパルス幅は、前記第 1 プライミングパルスのパルス幅よりも大であることを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動方法。

【請求項 7】 前記第 1 行電極群内の 1 の行電極に印加される前記走査パルスの立ち上がり期間中において前記走査パルスの印加を強制的に停止せしめることにより、前記走査パルスの印加停止のタイミングに応じた電位を有するバックポーチを前記走査パルスの直後に形成させることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 8】 前記第 1 行電極群内の 1 の行電極に印加される前記プライミングパルスの立ち上がり期間中において前記プライミングパルスの印加を強制的に停止せしめることにより、前記プライミングパルスの印加停止のタイミングに応じた電位を有するフロントポーチを前記プライミングパルスの直前に形成させることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 9】 前記第 1 行電極群の内の 1 の行電極に対する前記走査パルスの印加直後に前記第 2 行電極群の内の 1 の行電極に対して走査パルスを印加することを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動方法。

【請求項 10】 前記第 1 行電極群内の 1 の行電極に印加される前記走査パルスの立ち上がり期間中において前記走査パルスの印加を強制的に停止せしめることにより、前記走査パルスの印加停止のタイミングに応じた電位を有するバックポーチを前記走査パルスの直後に形成させることを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動方法。

【請求項 11】 前記第 1 行電極群内の 1 の行電極に印加される前記プライミングパルスの立ち上がり期間中において前記プライミングパルスの印加を強制的に停止せしめることにより、前記プライミングパルスの印加停止のタイミングに応じた電位を有するフロントポーチを前記プライミングパルスの直前に形成させることを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、マトリクス表示方式のプラズマディスプレイパネル（以下、PDPと称する）の駆動方法に関する。

【0002】

【従来の技術】PDPは、周知の如く、薄型の平面表示装置として種々の研究がなされており、その1つにマトリクス表示方式のPDPが知られている。かかるマトリクス表示方式のPDPを階調表示させる方法の一つとして、1フィールド分の表示期間を、Nビットの画素データの各ビット桁の重み付けに対応した時間だけ点灯するN個のサブフィールドに分割して表示するいわゆるサブフィールド法が知られている。

【0003】このサブフィールド法では、上記の如き各サブフィールドにおいて、全放電セルを一旦初期化する一斉リセットと、画像データに基づくアドレス走査（データ書込）を行うことにより点灯放電セル及び消灯放電セルを設定するアドレス書込と、維持パルスの印加により上記点灯放電セル及び消灯放電セル各々での放電状態を維持させる維持放電とを実施する。

【0004】この際、かかるPDPにおいてライン数を増やしたり、表示の階調数を増やして高精細化を実現する為には、上記アドレス書込みのサイクルを短くしなければならない。例えば、640×480ドットのVGA解像度の画像表示を行う場合、そのスキャンレートは4～5[μSEC]あれば十分であるが、1024×768ドットのXGA解像度の画像表示を行う為には、より高速な書込み、例えば2[μSEC]程度の書込み期間が要求される。

【0005】図1は、かかる高速アドレス書込を実施すべく為されたプラズマディスプレイ装置の構成を示す図である。図1に示されるPDP10には、X及びYの1対にて1画面の各行（第1行～第4行）に対応した行電極対を為す行電極 $Y_1 \sim Y_4$ 及び行電極 $X_1 \sim X_4$ が形成されている。更に、これら行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで、1画面の各列（第1列～第4列）に対応した列電極を為す列電極 $D_1 \sim D_4$ が形成されている。この際、1対の行電極対（X、Y）と1つの列電極Dとの交叉部に1つの放電セルが形成される。

【0006】アドレスドライバ20は、PDP10の1画面分の画素データを1行分毎に、これら画素データに対応した画素データパルスに変換しこれを図2に示されるが如く、

第1行目に対応した画素データパルス群 DP_1

第3行目に対応した画素データパルス群 DP_3

第2行目に対応した画素データパルス群 DP_2

第4行目に対応した画素データパルス群 DP_4

なる順でアドレス電極 $D_1 \sim D_4$ 各々に印加して行く。

【0007】ここで、X行電極ドライバ30は、先ず、図2に示されるが如きリセットパルス RP_X を行電極 $X_1 \sim X_4$ に印加する。Y行電極ドライバ40Aは、PDP10の1画面の上半分の行電極Yのブロック、すなわち、行電極 Y_1 及び Y_2 に対して以下に説明するが如き各種駆動パルスを印加するものである。一方、Y行電極ドライバ40Bは、PDP10の1画面の下半分の行電極Yのブロック、すなわち、行電極 Y_3 及び Y_4 に対して以下に説明するが如き各種駆動パルスを印加するものである。

【0008】図2において、Y行電極ドライバ40Aは、リセットパルス RP_Y の印加と同時に、図2に示されるが如きリセットパルス RP_Y を行電極 Y_1 及び Y_2 に印加する。又、上記リセットパルス RP_X の印加と同時に、Y行電極ドライバ40Bは、図2に示されるが如きリセットパルス RP_Y を行電極 Y_3 及び Y_4 に夫々印加する（リセット行程）。

【0009】かかるリセットパルスの印加によりPDP10の全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。次に、Y行電極ドライバ40Aは、図2に示されるが如き正電圧のプライミングパルスを行電極 Y_1 に印加した直後に、負電圧の走査パルスSPをかか行電極 Y_1 に印加する。ここで、Y行電極ドライバ40Bは、図2に示されるが如きタイミングにて正電圧のプライミングパルスを行電極 Y_3 に印加し、その直後に負電圧の走査パルスSPをかか行電極 Y_3 に印加する。更に、Y行電極ドライバ40Aは、図2に示されるが如きタイミングにて正電圧のプライミングパルスを行電極 Y_2 に印加し、その直後に負電圧の走査パルスSPをかか行電極 Y_2 に印加する。更に、Y行電極ドライバ40Bは、図2に示されるが如きタイミングにて正電圧のプライミングパルスを行電極 Y_4 に印加し、その直後に負電圧の走査パルスSPをかか行電極 Y_4 に印加する（アドレス行程）。

【0010】この際、走査パルスSPが印加された行電極に存在する放電セルの中で、高電圧の画素データパルスDPが印加された放電セルでは放電が生じてその壁電荷の大半が失われる。一方、低電圧の画素データパルスDPが印加された放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。すなわち、列電極に印加された画素データパルスDPに応じて、各放電セル内に壁電荷が残留するか否かが決定するといういわゆる画素データの書込が為されるのである。

【0011】尚、走査パルスを印加する直前にプライミングパルスPPを印加しておくことにより、上記リセット行程にて得られ、時間経過と共に減少してしまった上記荷電粒子がPDP10の放電空間内に再形成される。よって、第1行～第4行のいずれにおいても、かかる荷電粒子が存在するという同一条件下にて上記走査パルス

S Pの印加による画素データの書き込みが為されることになる。

【0012】次に、X行電極ドライバ30は、正電圧の維持パルス $I P_x$ を連続して行電極 $X_1 \sim X_n$ 各々に印加する。Y行電極ドライバ40A及び40Bは、かかる維持パルス $I P_x$ の印加タイミングとは、ずれたタイミングにて正電圧の維持パルス $I P_y$ を連続して行電極 $Y_1 \sim Y_n$ 各々に印加する（維持放電行程）。かかる維持パルス $I P_x$ 及び $I P_y$ が交互に印加されている期間に亘り、上記壁電荷が残留したままとなっている放電セルが放電発光を繰り返しその発光状態を維持する。

【0013】以上の如く、かかる駆動方法においては、プライミングパルスP Pの印加時期と、他の行電極に対する走査パルスS Pの印加時期とを重ねることにより、アドレス書込サイクルの短縮化を計っているのである。例えば、第1行目の行電極 Y_1 に対して書込み走査（アドレス）を行う場合、この行電極 Y_1 に印加される負極性の走査パルスS Pと、列電極 $D_1 \sim D_m$ に印加される正極性の画素データパルスD P₁と、第2の行電極群（行電極 Y_2 及び Y_3 ）の内の第3行目の行電極 Y_3 に印加される正極性のプライミングパルスP Pとを時間的に重なるタイミングにて印加しているのである。

【0014】ところが、このように画素データパルスD P₁とプライミングパルスP Pとが時間的に重なると、上記行電極 Y_3 に印加されるプライミングパルスP Pによるプライミング放電の際に、列電極 $D_1 \sim D_m$ 各々に負の壁電荷が蓄積してしまう。従って、このプライミング放電に続く第3行目の書込み走査において、行電極 Y_3 に負極性の走査パルスS Pを印加することにより、正極性の画素データパルスD P₃に応じた選択消去放電を生じさせる際に、直前のプライミング放電で蓄積された列電極 $D_1 \sim D_m$ 上の負の壁電荷の影響により選択消去放電が生じにくくなり、安定な表示動作が困難となる。

【0015】又、上記第1の行電極群に印加すべき各駆動パルスの波形と、第2の行電極群に印加すべき各駆動パルスの波形とを異ならせると、Y行電極ドライバ40Aと40Bとでアドレスマージンがアンバランスになるという問題も生じる。

【0016】

【発明が解決しようとする課題】本発明は、上記の如き問題を解決するためになされたものであり、アドレス書込サイクルを短縮しつつも、誤放電の無い安定した高精度、高画質表示を実現することができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、複数の行電極対と、前記行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有するプラズマディスプレイパネルを発光駆動するにあたり1フィールドの表

示期間を複数のサブフィールドに分割し各サブフィールドを、前記行電極対の一方に所定極性のプライミングパルスを印加した直後に前記プライミングパルスとは逆極性の走査パルスを印加すると同時に画素データパルスを前記列電極に印加することにより前記画素データパルスに応じた点灯放電セル及び消灯放電セルを設定するアドレス期間と、前記行電極対に維持パルスを印加することにより前記点灯放電セル及び前記消灯放電セル各々での放電状態を維持する維持放電期間とで構成して表示を行うプラズマディスプレイの駆動方法であって、前記行電極対の一方を第1及び第2行電極群に分け、前記第1行電極群の内の1の行電極に対する前記走査パルスの印加直後に前記第2行電極群の内の1の行電極に対して前記走査パルスを印加することを特徴とする。

【0018】

【発明の実施の形態】図3は、本発明による駆動方法によってPDPの駆動を行うプラズマディスプレイ装置の構成を示す図であり、図4は、かかる駆動方法による各種駆動パルスの印加タイミングを示す図である。図3に示されるPDP50には、X及びYの1対にて1画面の各行（第1行～第n行）に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び行電極 $X_1 \sim X_n$ が形成されている。更に、これら行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで、1画面の各列（第1列～第m列）に対応した列電極を為す列電極 $D_1 \sim D_m$ が形成されている。この際、1対の行電極対（X、Y）と1つの列電極Dとの交叉部に1つの放電セルが形成される。この際、PDP50の1画面は、図3に示されるように上下2つのブロックA及びBに分けられている。

【0019】Y行電極ドライバ80Aは、かかるブロックAに含まれる行電極Y、すなわち、行電極 $Y_1 \sim Y_k$ 各々に対して以下に説明するが如き各種駆動パルスを印加するものである。一方、Y行電極ドライバ80Bは、上記ブロックBに含まれる行電極Y、すなわち、行電極 $Y_{k+1} \sim Y_n$ 各々に対して以下に説明するが如き各種駆動パルスを印加するものである。尚、X行電極ドライバ70は、PDP50の行電極 $X_1 \sim X_n$ 各々に対して以下に説明するが如き各種駆動パルスを印加するものである。

【0020】先ず、X行電極ドライバ70は、図4に示されるが如き正電圧のリセットパルス $R P_x$ をPDP50の行電極 $X_1 \sim X_n$ に同時に印加する。かかるリセットパルス $R P_x$ の印加と同時に、Y行電極ドライバ80Aは、図4に示されるが如き負電圧のリセットパルス $R P_y$ をPDP50の行電極 $Y_1 \sim X_k$ 各々に同時に印加する。又、かかるリセットパルス $R P_x$ の印加と同時に、Y行電極ドライバ80Bは、図4に示されるが如き負電圧のリセットパルス $R P_y$ をPDP50の行電極 $Y_{k+1} \sim Y_n$ 各々に同時に印加する（リセット行程）。

【0021】これらリセットパルス $R P_x$ 及び $R P_y$ の印加に応じてPDP50の全ての放電セルが放電して各放

電空間内に荷電粒子が発生し、かかる放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。かかるリセット行程が終了すると、アドレスドライバ60は、1画面分の画素データを1行分毎の画素データパルス群DPに変換し、各行毎に対応した画素データパルス群 $DP_1 \sim DP_n$ 各々を図4に示されるが如き形態にて印加して行く。

【0022】すなわち、図3に示されるが如きPDP50のブロックAに含まれる"行"各々に対応している画素データパルス群 $DP_1 \sim DP_k$ 各々を図4に示されるが如き周期 T_1 毎に順次、列電極に印加して行くと共に、これら画素データパルス群 $DP_1 \sim DP_k$ 各々のタイミングとは、そのパルス幅分だけ遅れたタイミングにて、上記ブロックBに含まれる"行"各々に対応している画素データパルス群 $DP_{k+1} \sim DP_n$ 各々を上記の周期 T_1 毎に順次、列電極に印加して行くのである。

【0023】ここで、Y行電極ドライバ80Aは、上記画素データパルス群 DP_1 が列電極に印加される直前に図4に示されるが如き正電圧のプライミングパルスPPを発生しこれを行電極 Y_1 に印加する。次に、Y行電極ドライバ80Aは、かかる画素データパルス群 DP_1 の印加タイミングと同一タイミングにて、図4に示されるが如き負電圧の走査パルスSPを行電極 Y_1 に印加する。

【0024】一方、Y行電極ドライバ80Bは、上記画素データパルス群 DP_{k+1} が列電極に印加される直前に図4に示されるが如き正電圧のプライミングパルスPPを発生しこれを行電極 Y_{k+1} に印加する。次に、Y行電極ドライバ80Bは、かかる画素データパルス群 DP_{k+1} の印加タイミングと同一タイミングにて、図4に示されるが如き負電圧の走査パルスSPを行電極 Y_{k+1} に印加する。

【0025】Y行電極ドライバ80Bによる上記走査パルスSPの印加が終了すると、Y行電極ドライバ80Aは、上記画素データパルス群 DP_2 が列電極に印加される直前に図4に示されるが如き正電圧のプライミングパルスPPを発生しこれを行電極 Y_2 に印加する。次に、Y行電極ドライバ80Aは、かかる画素データパルス群 DP_2 の印加タイミングと同一タイミングにて、図4に示されるが如き負電圧の走査パルスSPを行電極 Y_2 に印加する。

【0026】一方、Y行電極ドライバ80Bは、上記画素データパルス群 DP_{k+2} が列電極に印加される直前に図4に示されるが如き正電圧のプライミングパルスPPを発生しこれを行電極 Y_{k+2} に印加する。次に、Y行電極ドライバ80Bは、かかる画素データパルス群 DP_{k+2} の印加タイミングと同一タイミングにて、図4に示されるが如き負電圧の走査パルスSPを行電極 Y_{k+2} に印加する。

【0027】上述と同様なタイミングにて、Y行電極ド

ライバ80Aは、PDP50の行電極 $Y_3 \sim Y_k$ 各々に対して順次、プライミングパルスPP及び走査パルスSPを印加して行く。又、Y行電極ドライバ80Bは、行電極 $Y_{k+3} \sim Y_n$ 各々に対して順次、プライミングパルスPP及び走査パルスSPを印加して行く（アドレス行程）。

【0028】以上の如きアドレス行程において、走査パルスSPの印加が為された行電極に存在する放電セル各々は、かかる時点において印加された画素データパルス群DPに応じて放電励起するものとそうでないものとに分かれる。この際、放電励起しなかった放電セルの誘電体層には壁電荷が残留し、一方、放電励起した放電セルではその誘電体層に存在していた壁電荷は消滅する。この壁電荷の量により点灯放電セルと消灯放電セルとが設定され、いわゆる画素データの書込が為される。

【0029】尚、走査パルスSPを印加する直前にプライミングパルスPPを印加しておくことにより、上記リセット行程によって発生し、時間経過と共に減少してしまつた上記荷電粒子がPDP50の放電空間内に再形成される。つまり、この荷電粒子が存在する内に、上記走査パルスSPの印加による画素データの書き込みが為されるのである。従つて、第1行～第n行のいずれにおいても同一条件下（放電セル内に存在する荷電粒子の量）にて画素データの書込が実施されることになる。

【0030】次に、X行電極ドライバ70は、図4に示されるが如き正電圧の維持パルス IP_X を連続して行電極 $X_1 \sim X_n$ 各々に印加する。Y行電極ドライバ80A及び80Bは、かかる維持パルス IP_X の印加タイミングとは、ずれたタイミングにて図4に示されるが如き正電圧の維持パルス IP_Y を連続して行電極 $Y_1 \sim Y_n$ 各々に印加する（維持放電行程）。

【0031】かかる維持パルス IP_X 及び IP_Y が交互に印加されている期間に亘り、上記アドレス行程において点灯放電セルとなつた放電セル（壁電荷が残留したままとなっている放電セル）が放電発光を繰り返しその発光状態を維持する。この維持放電を実施している期間によって視覚的に輝度が認識される。以上の如く、図4に示されるが如き駆動方法においては、異なる2つの行電極に対するプライミングパルスPPの印加タイミングを略同一とすることによりアドレス書込サイクルの短縮を計っている。例えば、図4における行電極 Y_1 及び行電極 Y_{k+1} 各々に印加するプライミングパルスPPのタイミング、あるいは、行電極 Y_2 及び行電極 Y_{k+2} 各々に印加するプライミングパルスPPのタイミングは、略同一となっている。

【0032】更に、上記図4に示されるように、行電極対X及びYの内の行電極Yを2つのグループA及びBに分け、グループAにおける行電極Yに対する走査パルスSPの印加直後にグループBにおける行電極Yに対して走査パルスを印加するようにしている。かかる駆動方法

により、画素データパルス群 $DP_1 \sim DP_n$ 各々の印加タイミング（走査パルス SP の印加タイミング）が、いずれの行電極に対するプライミングパルス PP の印加タイミングとも同一とはならないようにしている。

【0033】これにより、アドレス書込サイクルの短縮を実現しながらも、画素データパルス群 DP とプライミングパルス PP とが同時印加されることによって生じる誤放電が防止され、高い画像品質を維持することが可能となるのである。又、上記図3に示される実施例においては、 $PDP50$ の画面の上半分に存在する行電極 $X_1 \sim X_k$ ($Y_1 \sim Y_k$) と、下半分に存在する行電極 $X_{k+1} \sim X_n$ ($Y_{k+1} \sim Y_n$) とにより上下2つのブロックA及びBに分け、かかるブロックAに対する行電極駆動をY行電極ドライバ80A、ブロックBに対する行電極駆動をY行電極ドライバ80Bに夫々受け持たせてある。

【0034】しかしながら、図5に示されるように、 $PDP50$ の画面の上半分に存在する行電極 $X_1 \sim X_k$ ($Y_1 \sim Y_k$)、及び下半分に存在する行電極 $X_{k+1} \sim X_n$ ($Y_{k+1} \sim Y_n$) 各々を更に上下2つのブロックA及びBに分け、かかるブロックAに対する行電極駆動をY行電極ドライバ80A、ブロックBに対する行電極駆動をY行電極ドライバ80Bに夫々受け持たせるようにしても良い。

【0035】かかる図5においては、 $PDP50$ の画面の上半分に存在する行電極 $X_1 \sim X_k$ ($Y_1 \sim Y_k$) を行電極 $X_1 \sim X_p$ ($Y_1 \sim Y_p$) からなるブロックA、及び行電極 $X_{p+1} \sim X_k$ ($Y_{p+1} \sim Y_k$) からなるブロックBに分けている。又、 $PDP50$ の画面の下半分に存在する行電極 $X_{k+1} \sim X_n$ ($Y_{k+1} \sim Y_n$) を行電極 $X_{k+1} \sim X_r$ ($Y_{k+1} \sim Y_r$) からなるブロックA、及び行電極 $X_{r+1} \sim X_n$ ($Y_{r+1} \sim Y_n$) からなるブロックBに分けている。

【0036】この際、Y行電極ドライバ80Aは、行電極 $Y_1 \sim Y_p$ と行電極 $Y_{k+1} \sim Y_r$ とを同時に駆動し、Y行電極ドライバ80Bは、行電極 $Y_{p+1} \sim Y_k$ と行電極 $Y_{r+1} \sim Y_n$ とを同時に駆動する。更に、列電極 $D_1 \sim D_n$ を $PDP50$ の上半分（第1行～第k行）と下半分（第(k+1)行～第n行）とで2つに分離し、上半分を第1アドレスドライバ60A、下半分を第2アドレスドライバ60Bにて駆動する構成としている。尚、第1アドレスドライバ60Aに供給される画素データAは、 $PDP50$ の第1行～第k行までに対応したものであり、第2アドレスドライバ60Bに供給される画素データBは、 $PDP50$ の第(k+1)行～第n行に対応したものである。

【0037】かかる図5に示される構成によれば、 $PDP50$ の上半分の行電極群と、下半分の行電極群とを同時に書込走査することが可能となる。例えば、図5において、Y行電極ドライバ80Aは、行電極 Y_1 と行電極 Y_k とに同時に走査パルス SP を印加する。この際、行電極 Y_1 に対応した画素データパルス群 DP_1 は第1アド

レスドライバ60Aによって各列電極に印加され、行電極 Y_k に対応した画素データパルス群 DP_k は第2アドレスドライバ60Bによって各列電極に印加される。つまり、1回の走査により2行分の書込が為されるのである。

【0038】従って、上記図5に示される構成を採用すれば、アドレス書込サイクルを更に1/2に短縮することが可能となるのである。又、上記図4に示される実施例においては、ブロックAでのプライミングパルス PP の印加開始タイミングと、ブロックBでのプライミングパルス PP の印加開始タイミングとは完全に一致していないが、図6に示されるように、ブロックBでのプライミングパルス PP の印加開始タイミングを早めることにより両者を完全に一致させても良い。

【0039】ところが、このように、ブロックBでのプライミングパルス PP の印加開始タイミングを早めるということは、Y行電極ドライバ80Bによって発生するプライミングパルス PP のパルス幅がY行電極ドライバ80Aによって発生するプライミングパルス PP のパルス幅よりも大となってしまう。よって、Y行電極ドライバ80Aと80Bとでアドレスマージンがアンバランスになるという問題が発生する。

【0040】図7は、かかる問題点を克服すべく為された駆動装置の他の構成を示す図である。尚、かかる図7に示される構成においては、セクタ90を除いた他の構成は図3に示されるものと同一であり、かかる図3に示されているものと同一機能モジュールには、同一の符号を付してある。

【0041】図7に示されるセクタ90は、フィールド切換信号に応じてY行電極ドライバ80Aからの各種駆動パルスを、ブロックAの各行電極（行電極 $Y_1 \sim Y_k$ ）、又はブロックBの各行電極（行電極 $Y_{k+1} \sim Y_n$ ）に印加する。又、セクタ90は、かかるフィールド切換信号に応じて、Y行電極ドライバ80Bからの各種駆動パルスをブロックBの各行電極（行電極 $Y_{k+1} \sim Y_n$ ）、又はブロックAの各行電極（行電極 $Y_1 \sim Y_k$ ）に印加する。

【0042】この際、かかるフィールド切換信号は、供給されてくる画素データのフィールド（サブフィールド）毎に例えば論理レベル"1"から"0"、"0"から"1"へと変化するものである。例えば、フィールド切換信号の論理レベルが"1"である場合には、Y行電極ドライバ80Aからの各種駆動パルスがブロックAの各行電極（行電極 $Y_1 \sim Y_k$ ）に印加されると共に、Y行電極ドライバ80Bからの各種駆動パルスがブロックBの各行電極（行電極 $Y_{k+1} \sim Y_n$ ）に印加される。ここで、フィールド切換信号の論理レベルが"1"から"0"に切り替わると、Y行電極ドライバ80Aからの各種駆動パルスは、ブロックBの各行電極（行電極 $Y_{k+1} \sim Y_n$ ）に印加され、Y行電極ドライバ80Bからの各種駆動パルスがブ

ロックAの各行電極（行電極 $Y_1 \sim Y_k$ ）に印加されるのである。

【0043】すなわち、上記図7に示される構成においては、Y行電極ドライバ80A及び80B各々はフィールド（サブフィールド）毎に、ブロックAに対する駆動、及びブロックBに対する駆動を交代するのである。従って、例えば、Y行電極ドライバ80Aが発生するプライミングパルスPPのパルス幅と、Y行電極ドライバ80Bが発生するプライミングパルスPPのパルス幅とが異なっているとしても、アドレスマージンを均一にさせることが出来るのである。

【0044】図8は、上記Y行電極ドライバ80の内部構成の一部（プライミングパルス発生部及び走査パルス発生部）を示す図である。図8に示されるように、上記Y行電極ドライバ80には、互いに電圧値の異なる3つの第1電源B1～第3電源B3が設けられている。第2電源B2は、第1電源B1が発生する直流電圧 V_1 よりも所定電圧だけ低い直流電圧 V_2 を発生する。第3電源B3の正側端子と直流電源B2の正側端子とは互いに接続されており、この第3電源B3の両端子間には、スイッチング素子S1及びS2から成る直列回路が接続されている。スイッチング素子S1は、そのオン動作時において第2電源B2の正側端子（又は第3電源B3の正側端子）の電位をラインL上に印加する。又、スイッチング素子SW2は、そのオン動作時において上記第3電源B3の負側端子の電位をラインL上に印加する。

【0045】直流電圧 V_1 を発生する第1電源B1の正側端子には、かかるラインLが接続されている。パルス出力回路82₁～82_kは互いに同一回路構成からなり、各々には、そのオン動作時において上記ラインL上の電位を行電極Yに印加するスイッチング素子S11、並びにそのオン動作時において上記第1電源B1の負側端子電位を行電極Yに印加するスイッチング素子S12が設けられている。

【0046】図9は、図8に示される内部構成を有するY行電極ドライバ80を、図3におけるY行電極ドライバ80A及び80B各々に適用した場合のプラズマディスプレイ装置の構成を示す図であり、図10は、その動作波形を示す図である。尚、図10においては、ブロックAの各行電極の内の行電極 Y_1 、ブロックBの各行電極の内の行電極 Y_{k+1} に対してプライミングパルスPP及び走査パルスSPを印加する際の動作のみを示している。

【0047】図10に示されるように、Y行電極ドライバ80に備えられているスイッチング素子S1a及びS2a（S1b及びS2b）各々を交互にかつ周期的にオン・オフさせる。これにより、第1電源B1aの正側端子電位 V_{A_H} 及び負側端子電位 V_{A_L} （第1電源B1bの正側端子 V_{B_H} 及び負側端子 V_{B_L} ）各々に、周期的に電圧値 V_3 の分だけオフセットした電位を有する期間を形

成させる。ここで、スイッチング素子S11a（S11b）をオフ、S12a（S12b）をオンにしている間は、上記負側端子電位 V_{A_L} （ V_{B_L} ）がそのまま行電極Y上に印加される。次に、スイッチング素子S11a（S11b）をオン、S12a（S12b）をオフに切り替えると、上記正側端子電位 V_{A_H} （ V_{B_H} ）がそのまま行電極Y上に印加される。これが、プライミングパルスPPとなる。次に、再び、スイッチング素子S11a（S11b）をオフ、S12a（S12b）をオンに切り替えると、上記負側端子電位 V_{A_L} （ V_{B_L} ）がそのまま行電極Y上に印加される。この際、上述の如く、電圧値 V_3 の分だけオフセットした電位を有する期間が走査パルスSPとなるのである。

【0048】尚、図10においても、ブロックA中の1の行電極（ Y_1 ）に対する走査パルスSPの印加に引き続きブロックB中の1の行電極（ Y_{k+1} ）に対して走査パルスSPを印加する。すなわち、ブロックAの1のライン、及びブロックBの1のラインに対し連続してアドレス動作（選択消去アドレス）を実行しているのである。

【0049】この際、図10に示されるように、ブロックBの行電極 Y_{k+1} に走査パルスSPを印加すると共に列電極 $D_1 \sim D_n$ に画素データパルス DP_{k+1} を印加して画素データの書込が行われる際、このタイミングと同一タイミングでのブロックAの行電極 Y_1 上には、走査パルスSPのバックポーチBPが存在する。ところが、かかる走査パルスSPとバックポーチBPとの電位差 V_B が小さいと、画素データパルス DP_{k+1} により、行電極 Y_1 と列電極との間に誤放電が生じてしまう。又、図10に示される電位差 V_A が小さいと、プライミングパルスPPの直前のフロントポーチFPにて誤ったプライミング放電（行電極X及びY間での）が生じ易くなる。

【0050】そこで、図9及び図10に示される実施例では、ブロックBの走査パルスの印加期間に重なるブロックAのバックポーチBPの電位は、走査パルスSPの電位とプライミングパルスPPの電位の中間電位（第3の電位）に設定する。又、ブロックBの走査パルスSP直後のバックポーチBPを削除して、ブロックBの走査パルスSPのパルス幅をブロックAにおけるプライミングパルスPPよりも長くするようにしても良い。

【0051】図11は、かかる点に鑑みて為されたプラズマディスプレイ装置の他の動作波形を示す図である。図11においては、先ず、Y行電極ドライバ80Bに設けられているスイッチング素子S11b（S12b）をオフからオン（オンからオフ）に切り替えるタイミングを、Y行電極ドライバ80Aのスイッチング素子S11a及びS12aの切換タイミングと同一にする。その後、Y行電極ドライバ80Bに設けられている第1電源B1bの正側端子電位 V_{B_H} 及び負側端子電位 V_{B_L} 各々に、電圧値 V_3 のオフセットが生じている期間だけスイ

ツチング素子S11b(S12b)をオフ(オン)状態にするのである。これにより、図11に示されるように、行電極 Y_{k+1} 上においては、走査パルスの印加直後のバックポーチBPのみならず、プライミングパルスPPの直前のフロントポーチFPもが省かれる。

【0052】図11に示されるように、Y行電極ドライバ80AによるブロックAに対する駆動においては、その走査パルスSP直後にバックポーチBPが存在するが、Y行電極ドライバ80BによるブロックBに対する駆動では、バックポーチBP及びフロントポーチFPが削除されるのである。これにより、ブロックBにおけるプライミングパルスPPのパルス幅を長くすることが出来、ブロックBでのアドレスマージンが大になる。

【0053】又、図9及び図11に示される実施例においては、ブロックAの駆動において存在するバックポーチBP及びフロントポーチFP各々の電位は、上記第1電源B1の負側端子の電位によって決定してしまう。従って、これらバックポーチBP及びフロントポーチFP各々の電位をむやみに調整することは出来ないので、誤放電防止の対策を施すのが容易ではない。

【0054】図12は、かかる点に鑑みて為されたプラズマディスプレイ装置の他の構成を示す図である。図12に示されるプラズマディスプレイ装置においては、図9に示される構成においてY行電極ドライバ80A及び80B毎に設けていた、第2電源B2a(B2b)、第3電源B3a(B3b)、スイッチング素子S1a(S1b)及びS2a(S2b)なる回路を、Y行電極ドライバ80A及び80Bにて共有するようにしている。更に、図12における各パルス出力回路82'では、スイッチング素子S11a(S11b)又はS12a(S12b)からの出力を、スイッチング素子S13a(S13b)を介して各行電極Yに印加する構成としている。つまり、スイッチング素子S13がオフである期間中は、行電極Yに対する電圧印加が強制的に停止するのである。

【0055】図13は、かかる図12に示されるプラズマディスプレイ装置による動作波形を示す図である。図13に示されるように、ブロックAでの駆動時においてスイッチング素子S13aをオン状態からオフ状態に切り替えることにより、Y行電極ドライバ80Aからの電圧印加を停止せしめる。この際、PDP50は容量性負荷であるので、行電極Y上にはその切り替え直後の電位が固定化されて残り、これが図13に示されるように、バックポーチBP又はフロントポーチFPとなるのである。すなわち、スイッチング素子S13aによるオン状態からオフ状態への切り替えタイミングにより、プライミングパルスPPの直前に存在するバックポーチBP、並びに走査パルスSPの直後に存在するフロントポーチFP各々の電位が設定されることになる。よって、この

タイミングを調整すれば、バックポーチBP及びフロントポーチFP各々の電位を行電極間、又は行電極及び列電極間で誤放電が生じない範囲内に収まるように設定することが可能となるのである。

【0056】従って、アドレスマージンを広げることが容易となり、画質の向上及びパネル歩留まりの向上を図ることが可能となる。又、図12に示されるように、Y行電極ドライバ80A及び80B毎に設けていた第2電源B2及び第3電源B3を共有化したので、図9に示される構成に比してその回路規模を低減させることが出来る。

【0057】尚、上述の各実施例では、PDP50の1画面を上下に2分割し、行電極対の一方を2つの行電極群に分けて駆動する例を示したが、これに限らず、奇数ラインと偶数ラインに2分割し、行電極対の一方を3つ又は4つの行電極群に分けて駆動するように構成しても良い。

【図面の簡単な説明】

【図1】プラズマディスプレイ装置の概略構成を示す図である。

【図2】図1の駆動装置による各種駆動パルスの印加タイミングを示す図である。

【図3】本発明による駆動方法によって駆動を行うプラズマディスプレイ装置の概略構成を示す図である。

【図4】本発明の駆動方法に基づく駆動パルスの印加タイミングを示す図である。

【図5】本発明による駆動方法によって駆動を行うプラズマディスプレイ装置の他の実施例を示す図である。

【図6】本発明の他の駆動方法に基づく駆動パルスの印加タイミングを示す図である。

【図7】本発明による駆動方法によって駆動を行うプラズマディスプレイ装置の他の実施例を示す図である。

【図8】Y行電極ドライバ80の内部構成を示す図である。

【図9】図8に示されるY行電極ドライバ80を適用したプラズマディスプレイ装置の構成を示す図である。

【図10】図9に示されるプラズマディスプレイ装置による動作波形を示す図である。

【図11】図9に示されるプラズマディスプレイ装置による動作波形の他の例を示す図である。

【図12】図9に示されるプラズマディスプレイ装置の他の構成例を示す図である。

【図13】図12に示されるプラズマディスプレイ装置による動作波形の他の例を示す図である。

【符号の簡単な説明】

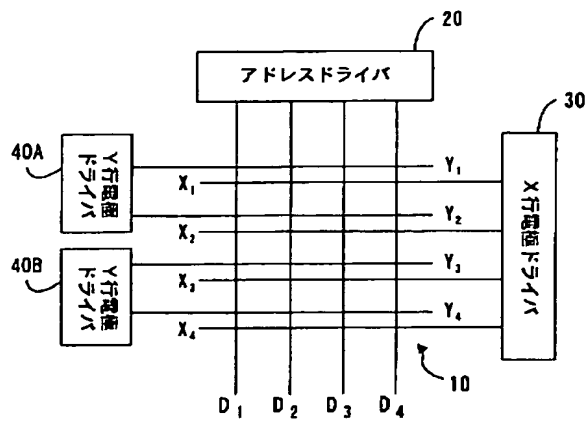
50 PDP

60 アドレスドライバ

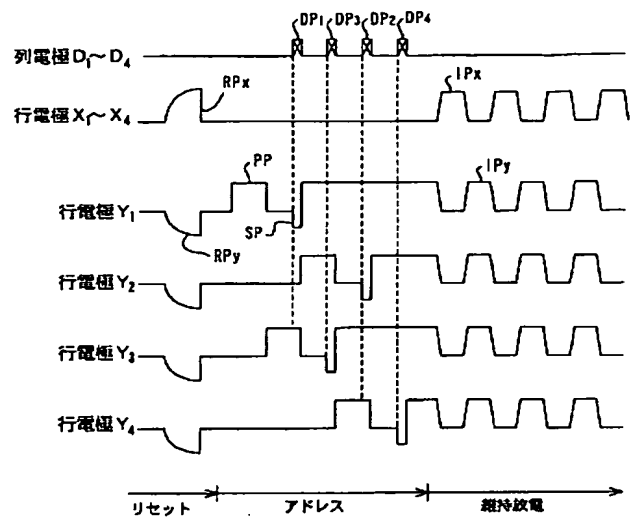
70 X行電極ドライバ

80A, 80B Y行電極ドライバ

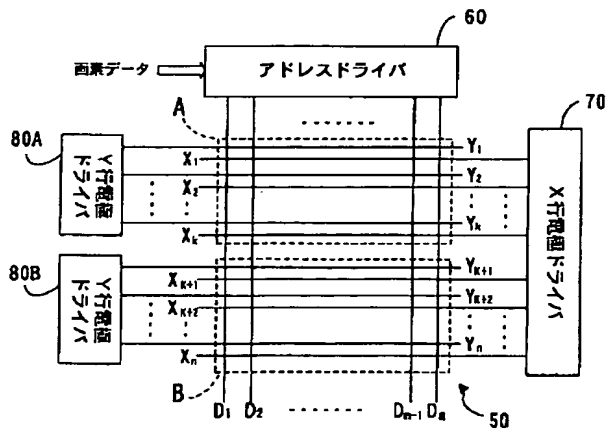
【図 1】



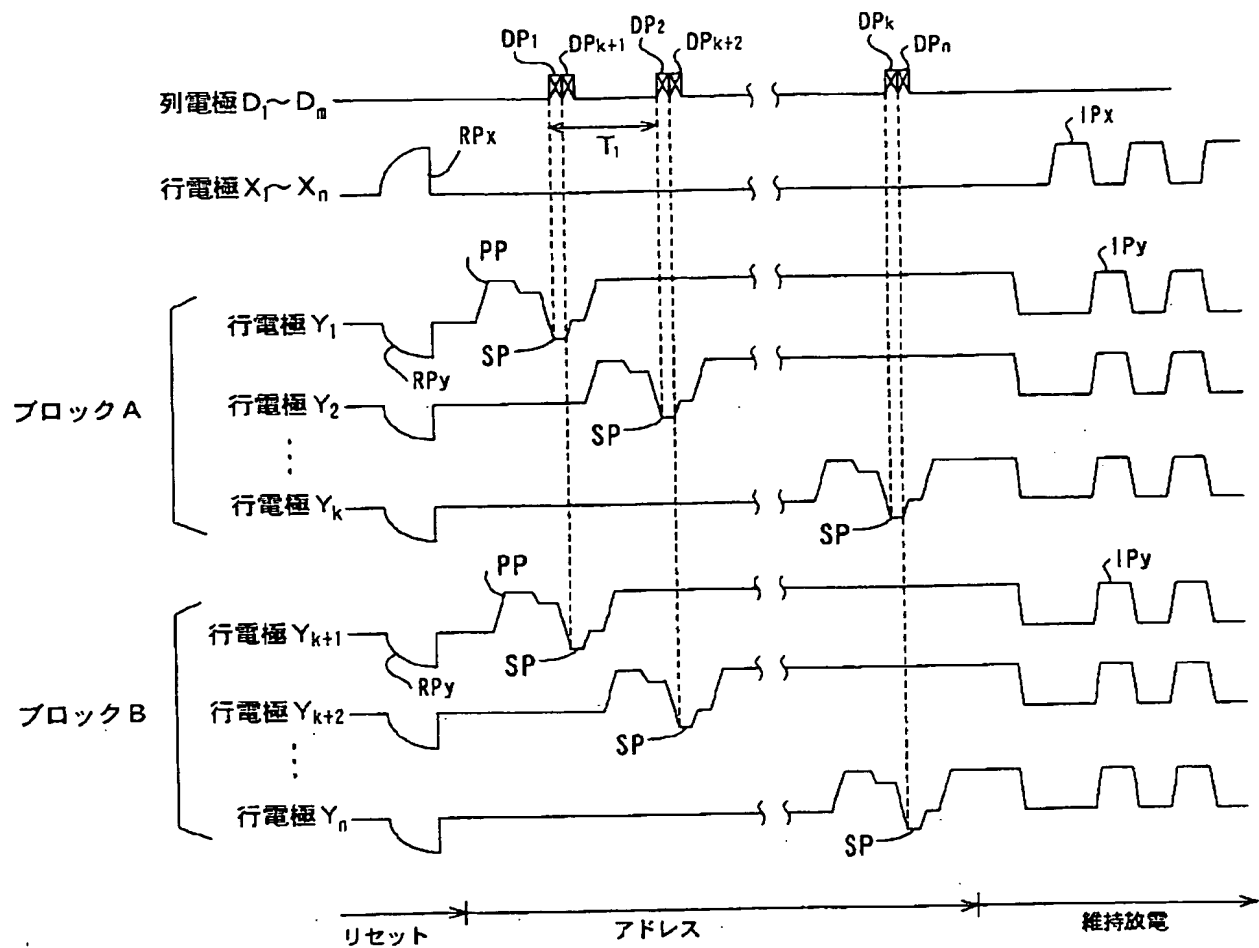
【図 2】



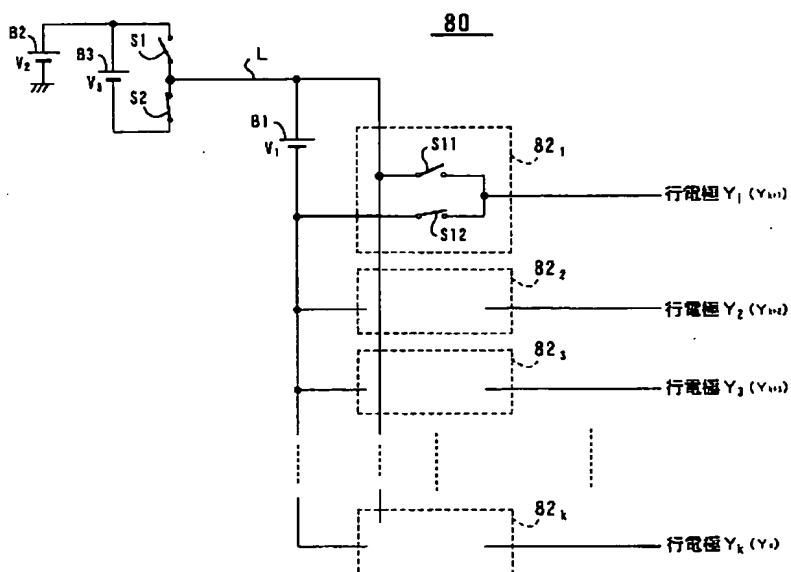
【図 3】



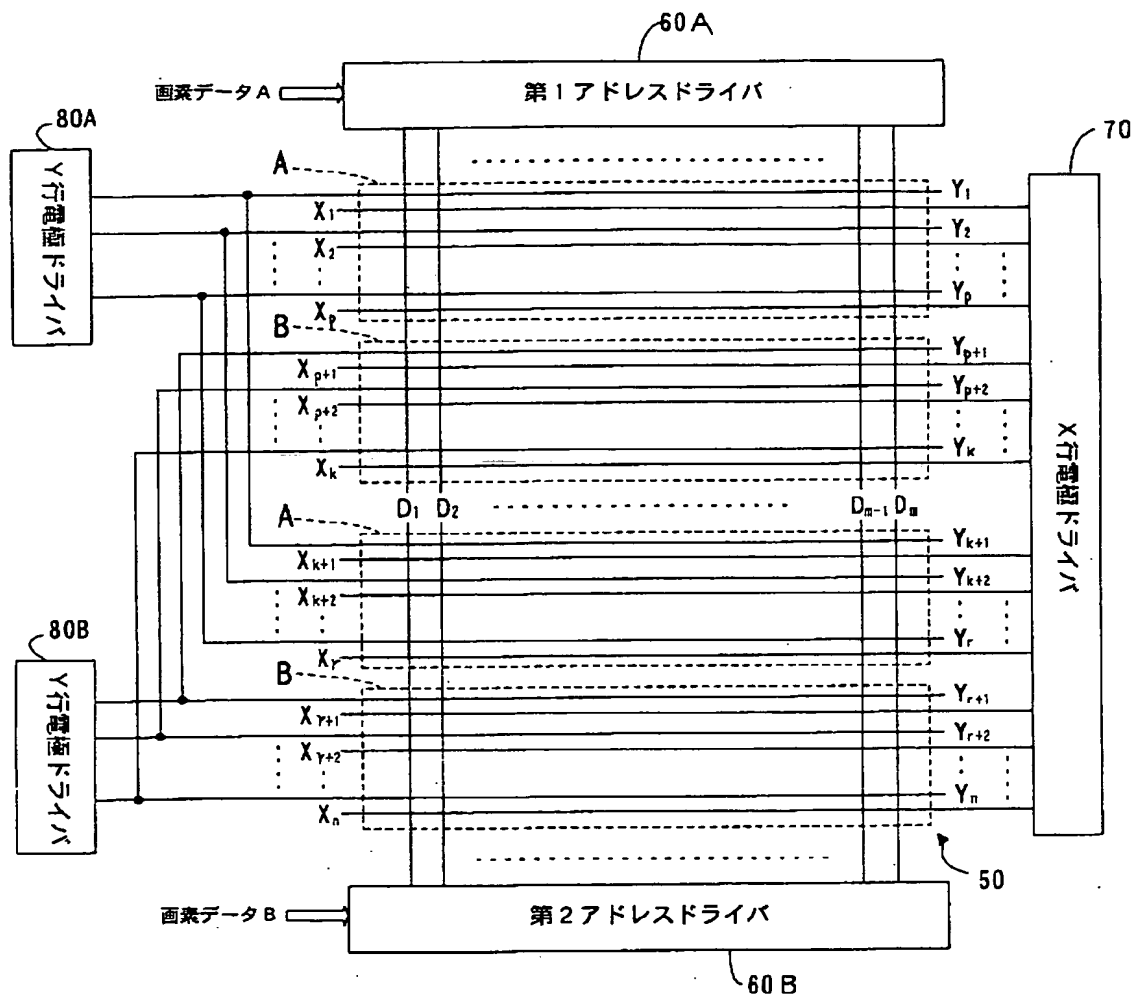
【図 4】



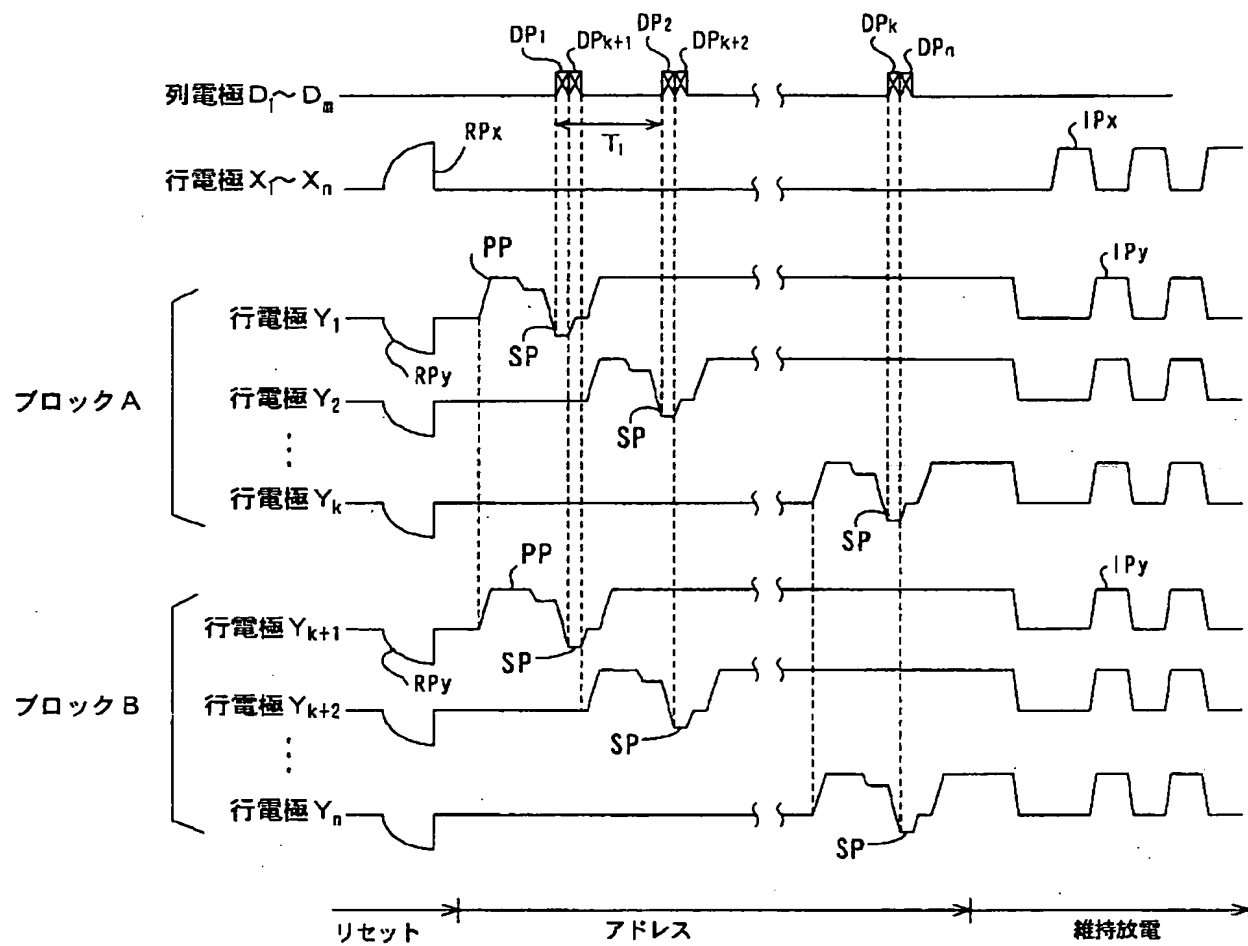
【図 8】



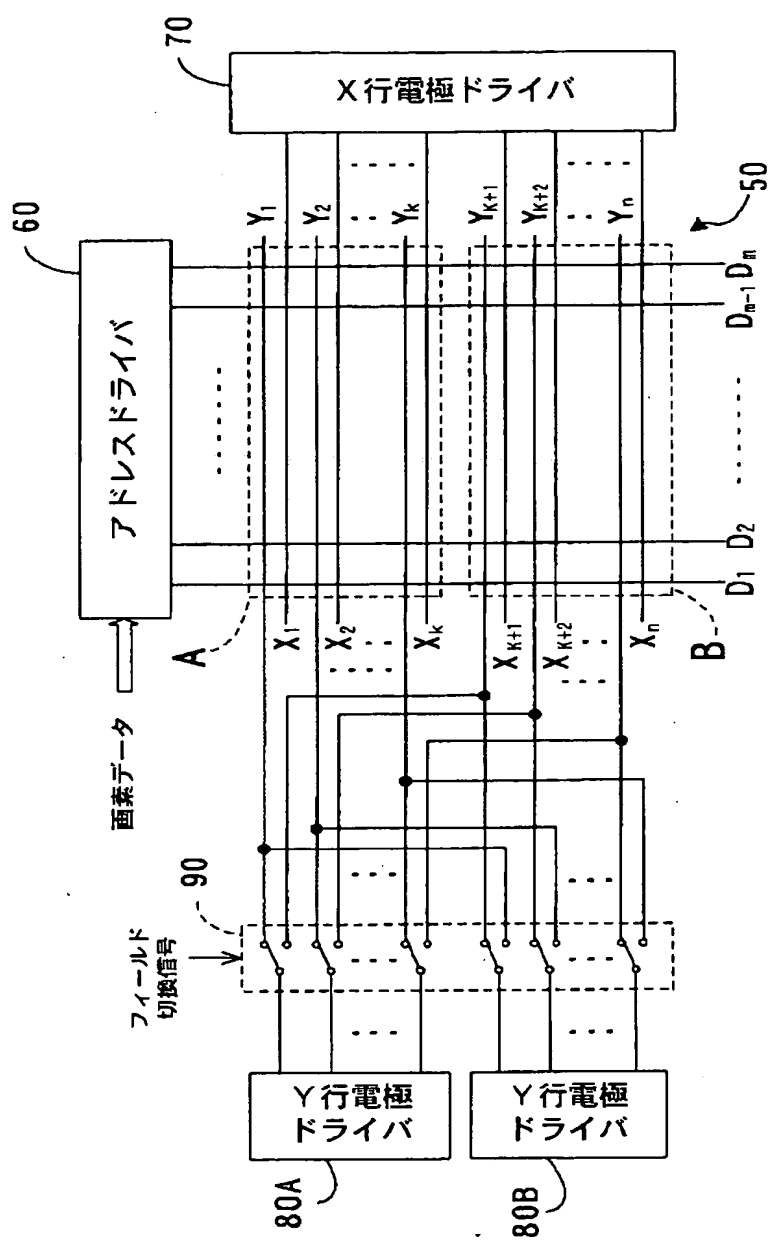
【図 5】



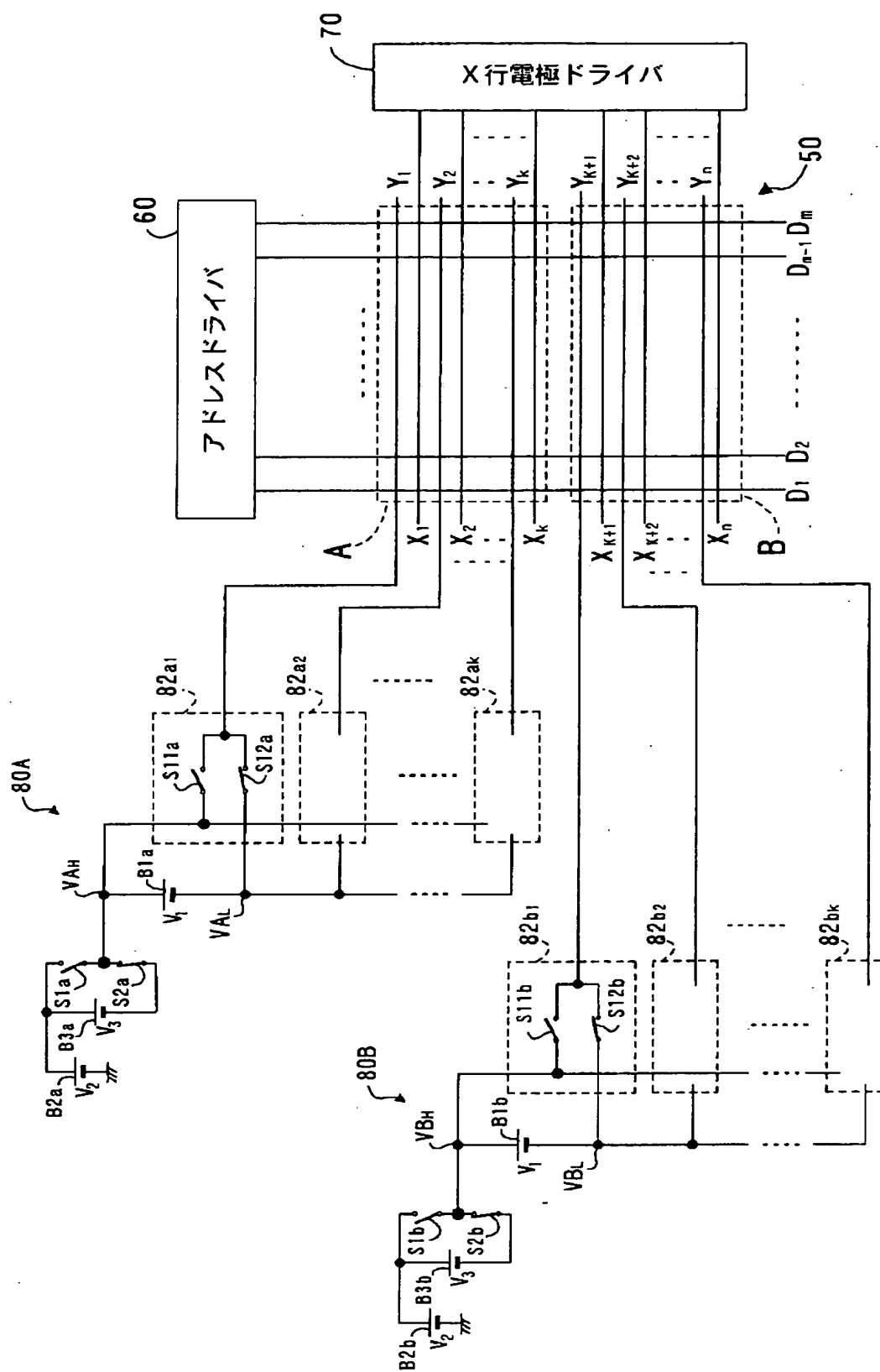
【図 6】



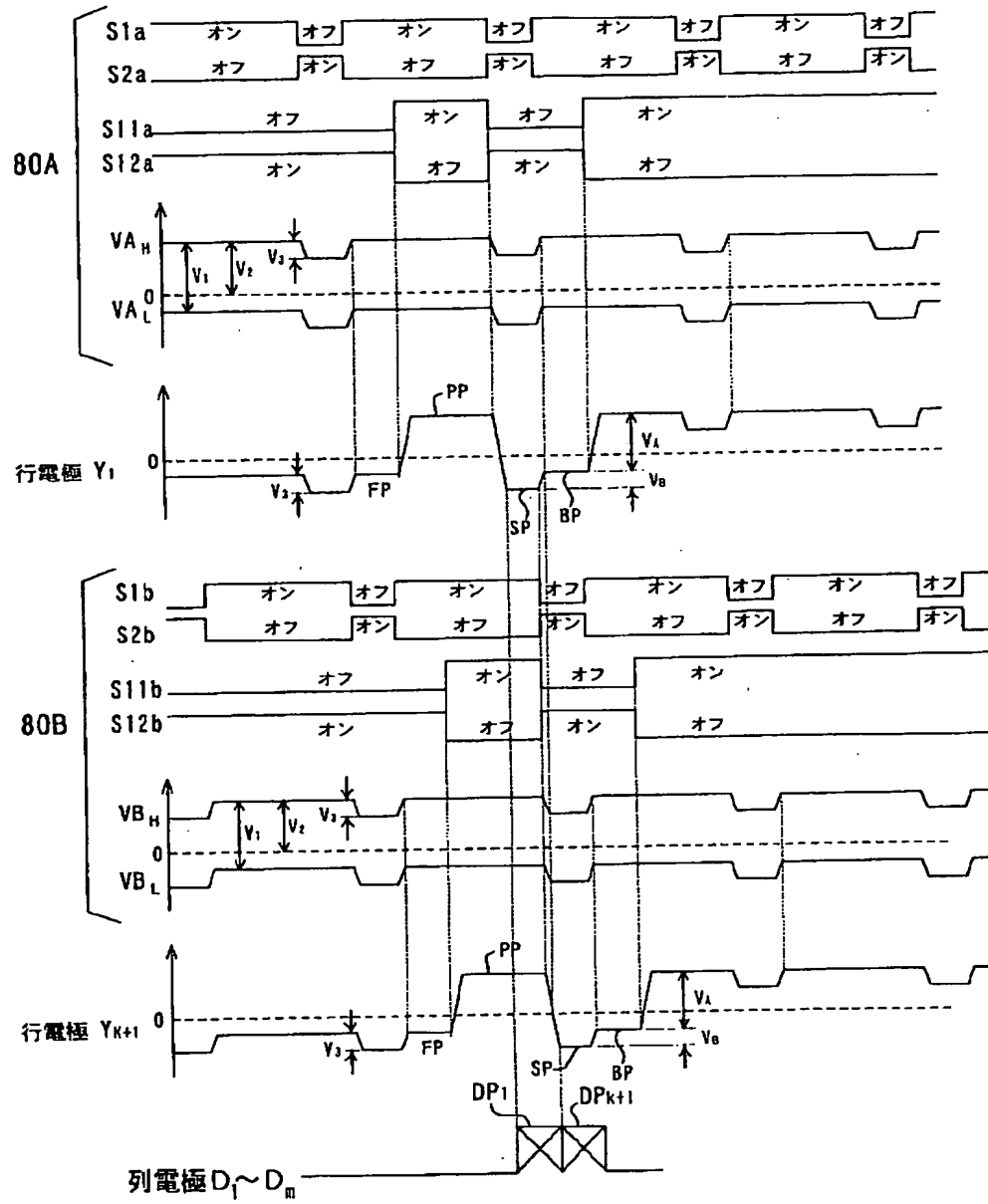
【図 7】



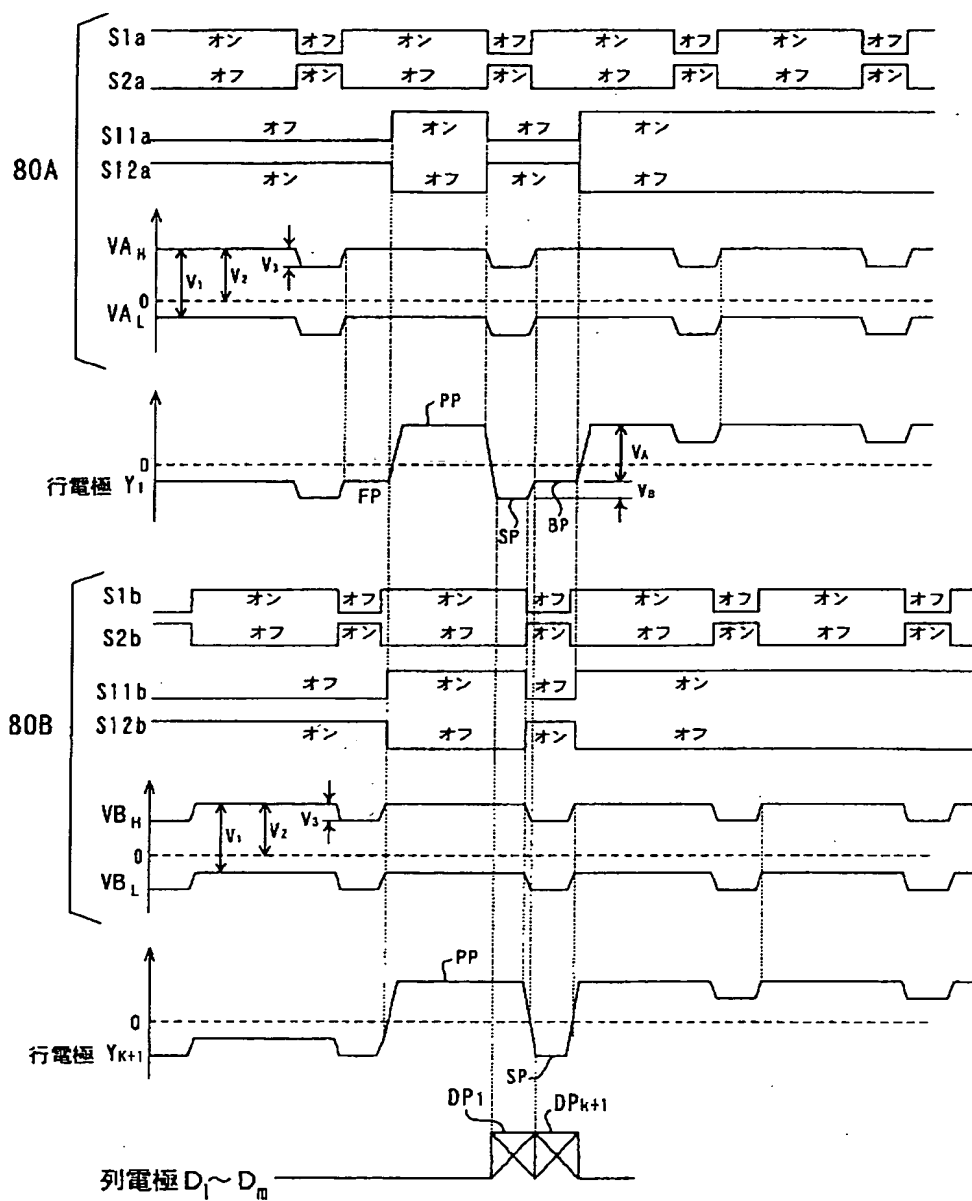
【図 9】



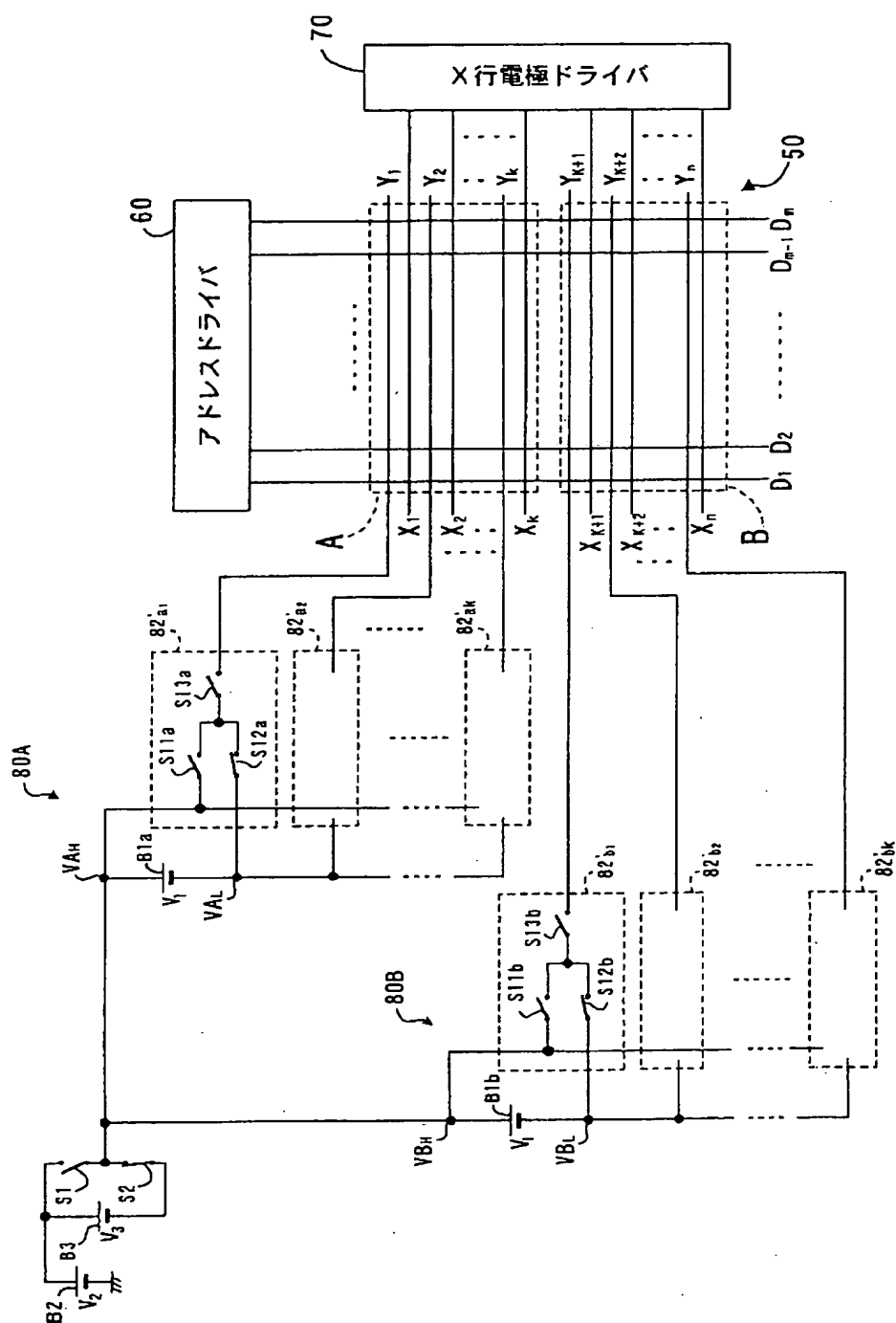
【図10】



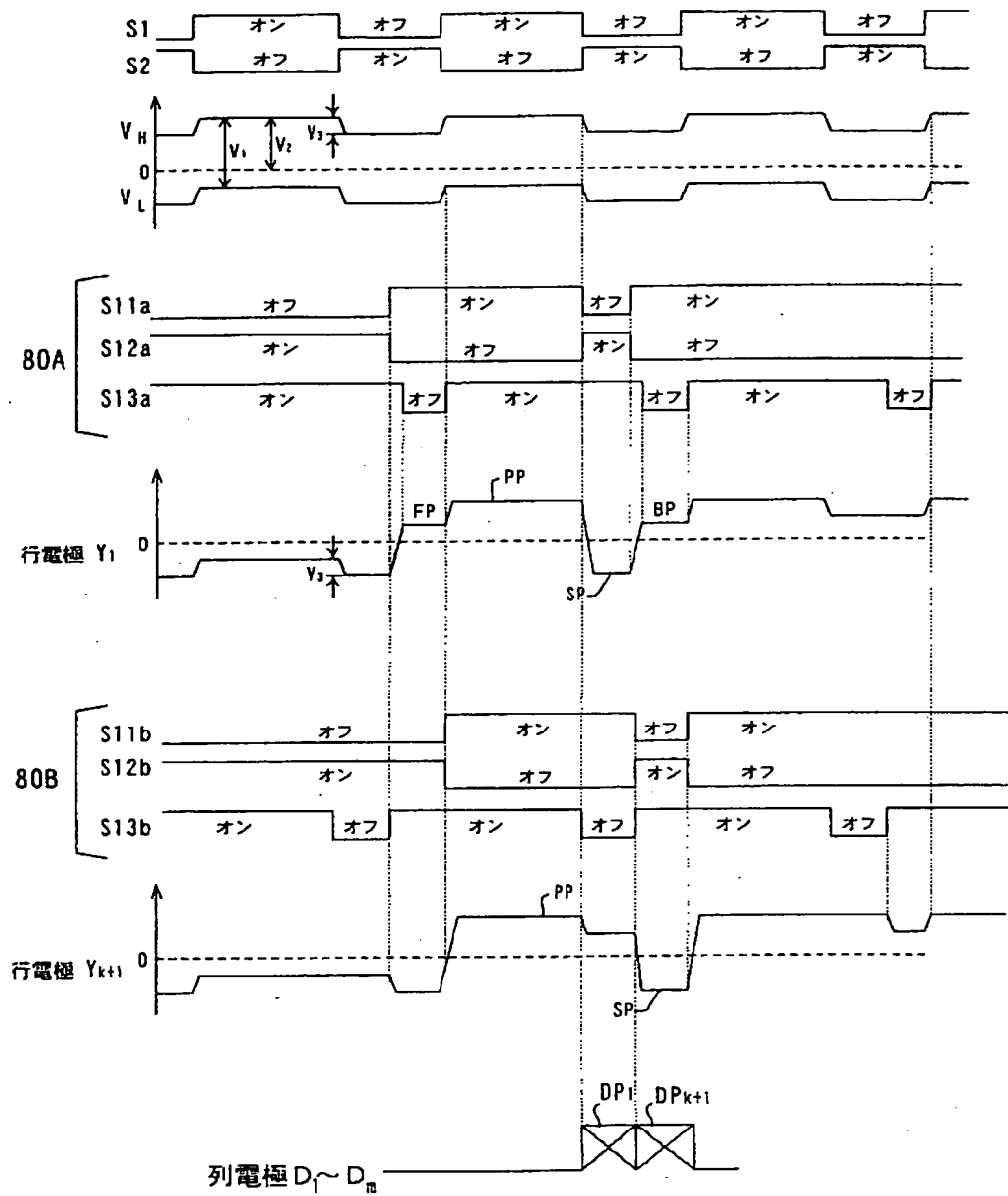
【図 11】



【図12】



【図 1 3】



フロントページの続き

(51) Int. Cl. ⁶

H 0 4 N 5/66

識別記号

1 0 1

F I

H 0 4 N 5/66

1 0 1 B